

Research on Clock Circuit Electromagnetic Emission Test and Suppression

Bai Yijie^{1,*}, Wu Shengnan²

¹Beijing Aerospace Measurement & Control Corp., Beijing, China

²Tianjin 712 Communication Broadcasting Company, Tianjin, China

Email address:

baiyijie_2006@126.com (Bai Yijie), wsn_0601@126.com (Wu Shengnan)

*Corresponding author

To cite this article:

Bai Yijie, Wu Shengnan. Research on Clock Circuit Electromagnetic Emission Test and Suppression. *Science Discovery*.

Vol. 9, No. 4, 2021, pp. 145-149. doi: 10.11648/j.sd.20210904.13

Received: April 20, 2021; Accepted: June 1, 2021; Published: June 4, 2021

Abstract: Clock circuit is an important part of PCB, which is usually composed of crystal oscillator, crystal oscillator control chip and capacitor. Electromagnetic emission generated by clock circuit is one of the main interference sources of electronic equipment. According to the different transmission paths, electromagnetic interference caused by clock circuit usually includes conduction interference and radiation interference. When the electromagnetic emission generated by the clock circuit reaches a certain degree, it may affect the electromagnetic compatibility of electronic equipment. In this paper, by analyzing the frequency spectrum characteristics of the clock signal, the difference of the frequency spectrum of the clock signal under different parameters is compared, and the electromagnetic emission test method is given. On this basis, when the EMI suppression method of clock circuit is studied, a series of EMC design methods of clock circuit are summarized, and the application of spread spectrum technology in clock circuit is proposed.

Keywords: Clock Circuit, Electromagnetic Emission, Interference Suppression, Spread Spectrum

时钟电路电磁发射测试及抑制方法研究

白贻杰^{1*}, 吴胜男²

¹北京航天测控技术有限公司, 北京, 中国

²天津七一二通信广播股份有限公司, 天津, 中国

邮箱

baiyijie_2006@126.com (白贻杰), wsn_0601@126.com (吴胜男)

摘要: 时钟电路是PCB电路板的重要组成部分, 通常由晶体振荡器、晶振控制芯片和电容组成。时钟电路产生的电磁发射是电子设备的主要干扰源之一, 根据传播途径的不同, 由时钟电路引起的电磁干扰通常包括传导干扰和辐射干扰。时钟电路产生的电磁发射达到一定程度时, 可能会影响电子设备的电磁兼容性。本文通过分析时钟信号的频谱特性, 对比了时钟信号在不同参数下频谱图的不同, 给出了电磁发射测试方法。在此基础上, 研究时钟电路电磁干扰抑制方法时, 总结一系列时钟电路的电磁兼容容设计方法, 并研究了展频技术在时钟电路中的应用。

关键词: 时钟电路, 电磁发射, 干扰抑制, 展频技术

1. 引言

目前电子设备越来越采用小型化、模块化和集成化设计理念, 电子设备采用的电路模块密集程度越来越高, 电路系统产生的频率(如模块晶振等)越来越高、频段越来越宽, 对外产生的有意或无意的电磁兼容性问题也会越来越多[1]。

在数字电路中, 时钟电路产生的时钟频率起到同步的作用。由于时钟信号是频率很高的周期信号, 所以时钟电路是对外引起电磁发射的主要发射源之一[4]。有效控制时钟电路的电磁发射是保证电子设备或分系统整体电磁兼容性的关键[6]。通常可以通过屏蔽处理、对信号增加滤波或是降低产生电磁波组件的功率等方式来较少电磁发射。屏蔽是一种结构上的解决方法, 是将电磁干扰封闭在产品内部, 不让他泄露出来, 该方法会增加产品的成本, 并且不能从根本上解决问题。增加滤波器和降低组件功率的方法, 则是通过找到电磁发射的源头, 并将其隔离开来。该方法可以有效的降低电磁干扰, 但是却降低了信号完整性, 使组件不易准备的锁定信号的时序, 并且在时钟信号上增加滤波也会提高产品的制造成本。

时钟展频又成时钟调变, 不仅可以有效的降低电磁发射, 而且不会造成产品成本的增加。本文将通过分析时钟信号的频谱特性和电磁发射测试方法, 研究展频技术在时钟电路中的应用。

2. 时钟电路的电磁发射

按照国家军用标准的规定, 电磁兼容试验项目可以分为传导发射测试、辐射发射测试、传导敏感度测试和辐射敏感度测试四类[7]。电磁发射包括辐射发射和传导发射, 由于时钟信号是较为严格的周期信号, 其频谱能量主要集中在部分频点上, 因此, 时钟信号的电磁发射容易接近或者超过电磁兼容测试标准规定的极限值。数字电路的主要辐射源就是时钟和逻辑电平的变化, 时钟电路产生的干扰信号主要以窄带形式存在。

2.1. 时钟信号的频谱特性

典型的时钟信号为周期性梯形信号, 其时域波形如图1所示。梯形信号的特性参数除了基频、幅度、占空比, 还有上升沿和下降沿这两个关键参数。

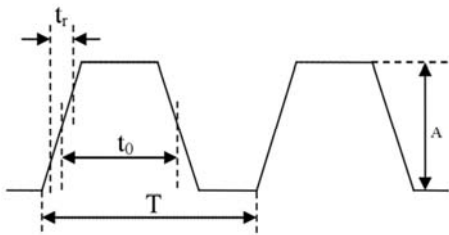


图1 梯形信号时域波形。

以上梯形时钟波形的幅度为A、周期为T、脉冲宽度为 t_0 、上升下降时间为 t_r ，根据傅立叶级数展开可以得到，其在n次谐波处的谐波分量为：

$$C(n) = 2A \left(\frac{t_0 + t_r}{T} \right) \left(\frac{\sin n\pi(t_0 + t_r)/T}{n\pi(t_0 + t_r)/T} \right) \left(\frac{\sin n\pi(t_r/T)}{n\pi(t_r/T)} \right) \quad (1)$$

从上面梯形时钟波形的傅里叶级数可以看出, 影响时钟信号辐射强度的因素有时钟波形的幅度A、占空比 $(t_0 + t_r)/T$ 、时钟周期T、以及时钟波形的上升时间和下降时间。其中时钟信号的幅度与其产生的干扰直接线性相关, 上升时间和下降时间对时钟高次谐波的影响至关重要。

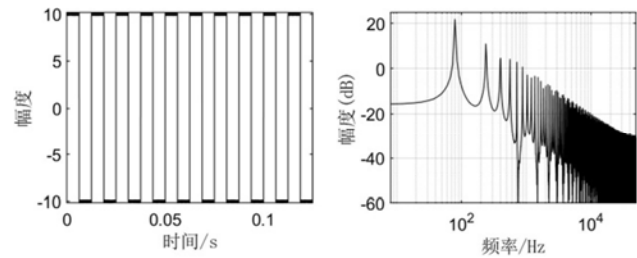
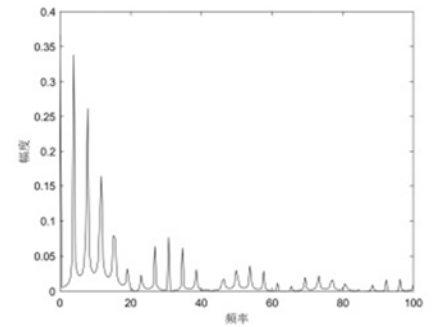


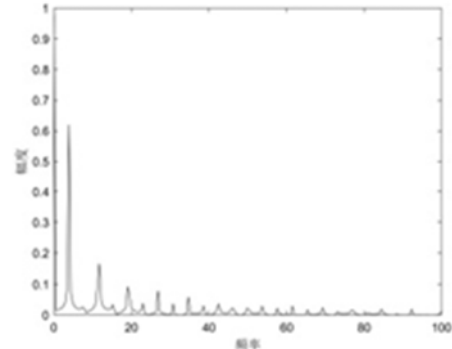
图2 时钟信号及其频谱图。

时钟信号的时域和频域图形如图2所示, 由图可以看出, 时钟信号的频谱图中包含大量的谐波; 当横轴为对数坐标时, 可以明显的看出频谱幅度包络的变化趋势: 包络低频部分的幅度以每10倍频20dB的速度下降, 包络高频部分的幅度以每10倍频40dB的速度下降。

为了研究周期、脉冲宽度为、上升下降时间对频谱图特性的影响, 改变时钟信号的上升沿和占空比。

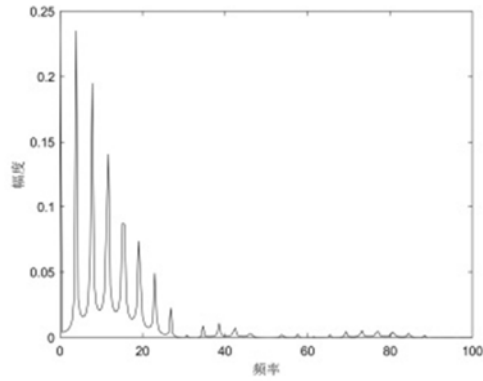


(a) 上升沿为5-占空比20%

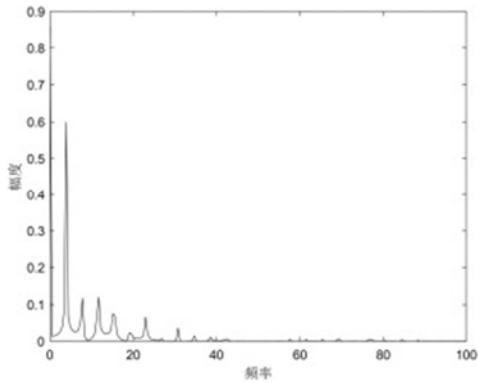


(b) 上升沿为5-占空比50%

图3 时钟信号上升沿为5, 不同占空比情况下的频谱图。

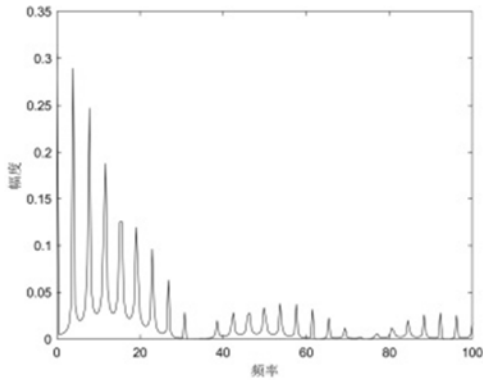


(a) 上升沿为20-占空比20%

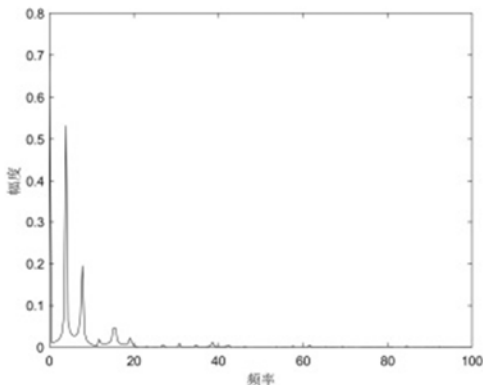


(b) 上升沿为20-占空比50%

图4 时钟信号上升沿为20, 不同占空比情况下的频谱图。

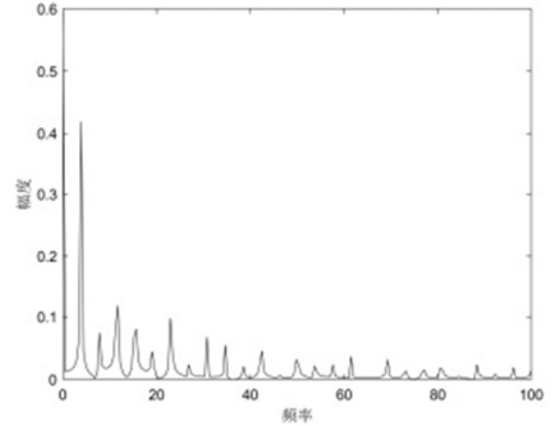


(a) 上升沿为40-占空比20%

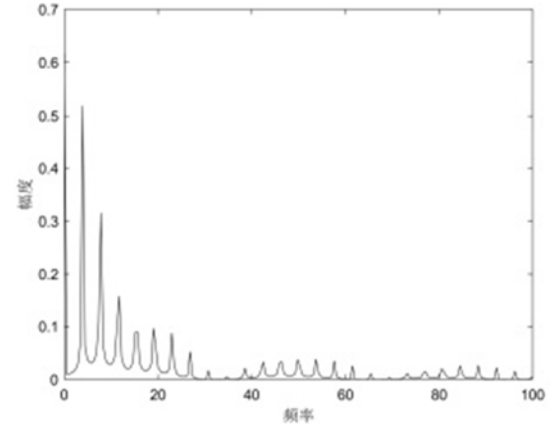


(b) 上升沿为40-占空比50%

图5 时钟信号上升沿为40, 不同占空比情况下的频谱图。



(a) 上升沿为80-占空比20%



(b) 上升沿为80-占空比50%

图6 时钟信号上升沿为80, 不同占空比情况下的频谱图。

通过改变时钟信号的各项参数, 对比不同参数下的频谱图可以发现: 任何参数下方波信号的频谱图都具有谐波性; 而且频谱幅度包络的变化趋势均符合以上结论; 频谱幅度包络斜率的转折点与上升下降时间直接相关, 其他参数相同的情况下, 上升下降时间越小, 转折点对应的频率越高。

2.2. 时钟电路的电磁发射测试方法

电磁兼容测试可以分为达标测试和诊断测试[8], 达标测试需要按照一定的产品标准进行测试, 电磁兼容测试标准通常将不同的电子设备进行分类和划等级。标准中会对电磁发射测试项目规定相应的极限值, 根据电磁发射测试结果判定被测产品是否满足限值要求。在进行诊断测试时, 研究人员关心的不是被测产品的测试结果是否符合极限值的要求, 而是需要从现场电磁发射测试结果中识别被试品发射有关的特征信息, 比如峰值信息、包络信息、谐波信息等。

在测试场地的布置上, 达标测试要严格按照电磁兼容的标准, 测试场地需满足归一化的场地衰减, 通常为开阔场或者是半电波暗室。在进行场地布置时, 对于测试设备之间的距离要进行科学控制, 测试时天线和被测产品间隔距离必须满足远场条件, 电磁兼容测试标准中对天线和之间的试验距离要求是不同的, CISPER11中要求距离的

是30m, CISPER22中要求距离的是10m, GJB151中要求距离的是1m。

诊断测试对于测试场没有十分严格的要求, 由于诊断测试通常发生在电磁干扰出现的时候, 因此, 诊断测试通常需要在被测产品的使用现场进行。考虑到辐射发射受空间电磁环境的影响, 在进行诊断测试时尽量选择较为开阔的场地和背景较为“干净”的时段开展。当现场测试环境无法满足在标准规定的距离下进行辐射发射测试时, 可在不同的距离下进行测量, 将得到的被测数据归一化至标准试验距离。

$$E_{std} = E_{mea} dB\mu V/m + 20 \lg \frac{d_{mea}}{d_{std}} \quad (2)$$

其中, d_{mea} 为实际的测量距离, 单位为m; d_{std} 为标准的测量距离, 单位为m; E_{mea} 为实际测量距离处的场强, 单位为dB $\mu V/m$; E_{std} 为实际测量距离处的场强, 单位为dB $\mu V/m$ 。

若EUT安装的高度较高, 例如高楼的顶部, 则实际测量距离应为EUT和接收天线之间的直线距离。这种情况下, 测量距离可由下式计算得到

$$d_{mea} = \sqrt{r^2 + h^2} \quad (3)$$

式中, r 为EUT到接收天线的水平距离, 单位为m; h 为EUT与接收天线的高度差, 单位为m。

电源线传导发射检测方法是通过线性阻抗稳定网络(LISN)在电源的测量点两端要提供一个射频范围内的规定阻抗, 并将被试品(EUT)与电源线上的环境噪声隔离开。国家军用标准GJB 151B—2013《军用设备和分系统电磁发射和敏感度要求与测量》中规定, 在CE102电源线传导发射测量系统中, LISN用来消除负载阻抗和电源阻抗的影响, 并滤除电源和负载的引入的环境电磁干扰, 从保证测试结果的正确性和可重复性。

3. 时钟电路电磁干扰抑制措施

对时钟电路产生的电磁干扰信号及高次谐波的抑制措施可根据干扰信号传播途径加以选择, 一般有屏蔽、滤波、接地。屏蔽主要是为了衰减来自空间或泄漏到空间的辐射电磁干扰; 滤波主要是为了滤除从电源线引入的传导干扰; 接地技术有时是为了解决传导干扰, 有时是为了解决辐射干扰。

3.1. 时钟电路的电磁兼容设计

电磁兼容设计的基本思路是从电磁干扰的三要素, 即干扰源、耦合途径和敏感设备分别着手分析, 并分别采取相应的技术手段进行加固。第一, 消除或抑制干扰源, 尽量减少不必要的电磁发射; 第二, 切断或减少耦合途径, 尽量降低从干扰源传递到敏感设备的干扰信号能量; 第三, 针对干扰信号的特性, 尽量增强敏感设备的抗干扰能力, 使之尽量不要产生不良的响应, 或者削弱这些不良响应的程度。

对于由时钟电路引起的辐射发射超标一般都采用屏蔽的方法, 用电导率良好的材料对电场进行屏蔽, 用磁导率良好的材料对磁场进行屏蔽。必要时可以用一屏蔽罩将时钟电路罩住, 但对金属屏蔽罩的时钟电路进、出线处需做特别处理。在电路系统设计中最好采用单点接地, 因为多点接地会出现闭合的接地环路, 磁力线穿过这些环路将产生电磁干扰。但单点接地实际很难做到, 一般采用多点接地时可以利用一个导电平面作为参考地, 需要接地的各部分, 包括时钟电路的地都就近接到该导电平面上。对于电源线产生的传导发射可以使用滤波器滤除, 一个有效的滤波器应该对电源线上的差模和共模干扰都有较强的抑制作用。将滤波器装在开关电源的进、出线上能有效改善电路的滤波特性, 此外, 穿心电容、三端电容器和铁氧体磁环等专用的滤波元件也常被使用。

3.2. 基于展频技术抑制时钟电路电磁发射

时钟展频技术采用一个低频信号波对时钟信号进行调制[9-10], 把能量集中的频谱变成分散在以时钟频率为中心的一个较宽的频带上, 其中, 窄带频谱中每个频点的能量相对于单频时钟能量降低的幅度, 可以通过下式进行计算:

$$V_{RMS}(dB) = 20 \lg \left(\sqrt{\frac{a \times F_0}{F_d}} \times V_u \right) \quad (4)$$

其中, F_0 是被调至信号的固定频率, a 是展频幅度, V_u 是扩展时钟频带内每个频谱的均方根电压, F_d 是扩展频率。由式(4)得到频谱的衰减幅度为:

$$V(dB) = 10 \lg \left(\frac{a \times F_0}{F_d} \right) \quad (5)$$

由上式可见, 在特定的扩展带宽内($a \times F_0$)内, 频谱谐波分量越多, 对应的频谱能量就越低[11-14]。

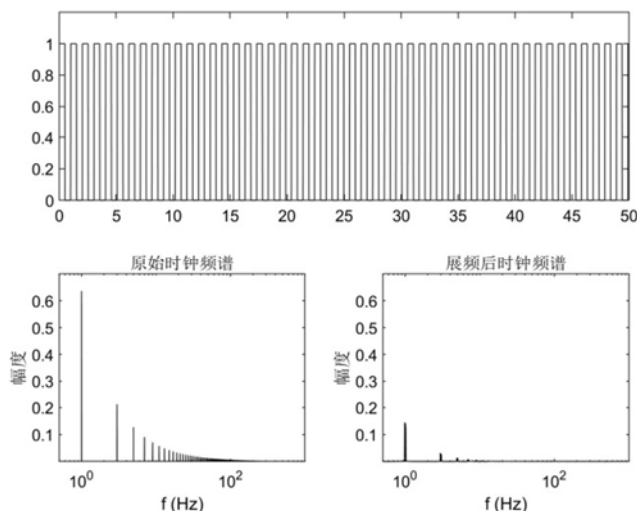


图7 时钟信号展频前后频谱图。

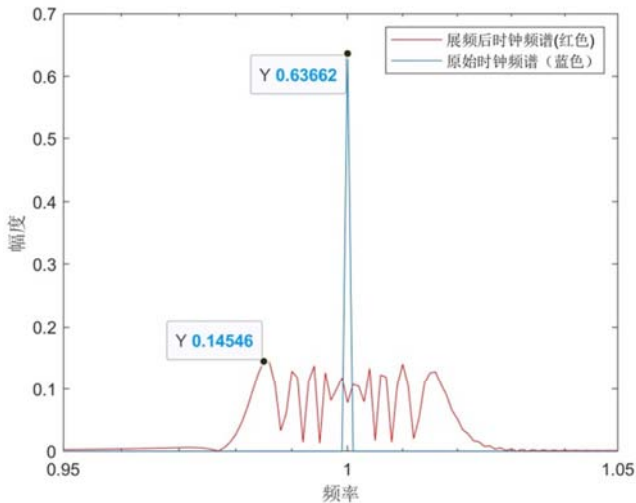


图8 时钟信号展频前后频谱局部放大图。

图7是对时钟信号运用展频技术后的频谱与原始频谱的仿真结果对比图,可以看到这种降低电磁发射的方案可以实现。图8展示了展频前与展频后的幅度峰值对比,其中,蓝色曲线代表原始时钟频谱,最大幅度约为0.637,红色曲线代表展频后时钟频谱,最大幅度约为0.145,大约降低了12.86dB。

通过展频将原本固定不变的时钟频率,以一定的周期小幅度的调变时钟频率,使系统产生的电磁波辐射能量平均散布于一段频率范围内。对于使用者而言,几乎无法察觉出展频前后有什么不同之处。若以原始时钟频率为中心进行展频,系统平均的运行效率完全不会受到展频的影响[15-16]。

4. 结论

本文分析了时钟信号的频谱特性,通过理论分析和软件仿真的方法总结了影响时钟信号辐射强度的因素。决定时钟电路的电磁发射强度的因素有时钟波形的幅度、占空比、时钟周期,以及时钟波形的上升时间和下降时间。时钟信号的频谱图中包含大量的谐波;当横轴为对数坐标时,可以明显的看出频谱幅度包络的变化趋势:包络低频部分的幅度以每10倍频20dB的速度下降,包络高频部分的幅度以每10倍频40dB的速度下降。频谱幅度包络斜率的转折点与上升下降时间直接相关,其他参数相同的情况下,上升下降时间越小,转折点对应的频率越高。

本文研究了展频技术在时钟电路中的应用,展频将原本固定不变的时钟频率,以一定的周期小幅度的调变时钟频率,使系统产生的电磁波辐射能量平均散布于一段频率

范围内。通过对时钟信号运用展频技术前后频谱图的对比,展频技术确实可以抑制时钟电路的电磁发射,峰值幅度大约降低了12.86dB。

参考文献

- [1] 谢如元,徐加征.某型通信产品电磁兼容改进案例分析[J].电子质量,2017(04):102-105+110.
- [2] 谢如元,施佳林.PCB板时钟电路的电磁兼容设计[J].现代电子技术,2012,35(02):142-144+147.
- [3] 范桢,欧阳典勇.时钟电路辐射骚扰与扩频技术[J].安全与电磁兼容,2007(01):35-37.
- [4] 吴慎山,李美凤,吴东芳.时钟电路的电磁兼容研究与设计[J].河南师范大学学报(自然科学版),2009,37(01):155-157.
- [5] 韩晓轩.利用扩频技术减少高速时钟电路的电磁干扰[J].电子质量,2008(06):94-96.
- [6] Michael Hsieh.时钟电路的电磁波干扰[J].世界电子元器件,2004(02):34-36.
- [7] 国防科学技术工业委员会.军用设备和分系统电磁发射和敏感度要求与测量: GJB 151B—2013[S]. 2013.
- [8] 马敏.电磁兼容中辐射发射测试技术的研究 [J]. 电子设计工程,2017,25(10):125-127+131.
- [9] 杨锋,姚铮.基于时钟扩频技术改善车载终端中频辐射骚扰[J].电子设计工程,2016,24(06):71-73+76.
- [10] 姜黎.高速数模电路多时钟系统EMC设计[J].电子质量,2018(03):69-72+79.
- [11] 杨溯.高速展频时钟发生器的研究与设计[D].电子科技大学,2015.
- [12] 刘峙峰.高速数字时钟电路电磁辐射特性及应用研究[D].电子科技大学,2013.
- [13] Cavit Ozdalga.运用展频时钟产生技术降低硬盘机的电磁干扰[J].电子测试,2003(08):77-81.
- [14] 石铭,王新安.展频时钟生成器的设计与仿真[J].微电子学与计算机,2007(04):72-75.
- [15] 叶楷.10GHz展频锁相环研究与设计[D].重庆大学,2018.
- [16] 郝国勇.展频技术在液晶显示EMC设计中的应用[J].河南科技,2017(05):142-143.